

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-160755

(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

H04B 1/30
H03J 7/20

(21)Application number : 03-320352

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 04.12.1991

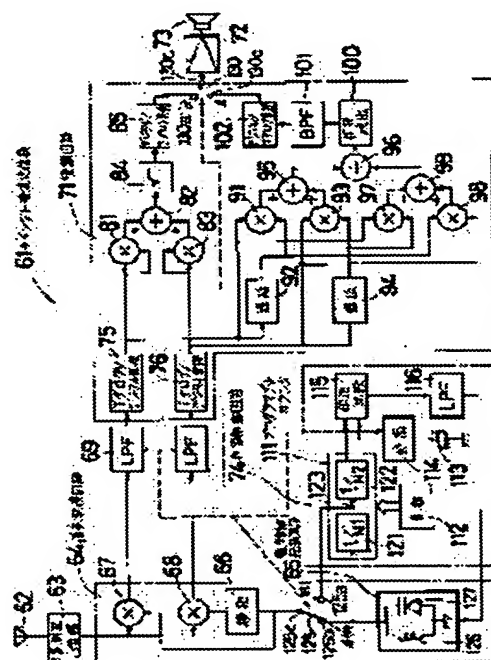
(72)Inventor : SASAKI KAZUTOSHI
SASAKI MITSURU

(54) DIRECT DETECTION RECEIVER

(57)Abstract:

PURPOSE: To attain a miniaturization by reducing number of components of the direct detection receiver able to receive signals for plural frequency bands.

CONSTITUTION: A programmable counter 111 in a tuning control circuit 7 controlling an oscillating frequency of a voltage controlled oscillator 65 being a component of a phase locked loop consists of plural frequency divider circuits 121,122. An oscillating signal from a voltage controlled oscillator 65 is used as a reference signal mixed with a reception signal at the reception of a frequency modulation broadcast and an oscillating signal from the voltage controlled oscillator 65 divided by the frequency divider circuit 121 is used for the reference signal at the reception of an amplitude modulation broadcast. Thus, it is possible to receive the amplitude modulation broadcast and the frequency modulation broadcast by the single voltage controlled oscillator circuit 65, and therefore number of components is reduced and the configuration is simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-160755

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.⁵

H04B 1/30

H03J 7/20

識別記号

庁内整理番号

9298-5K

FI

技術表示箇所

審査請求 未請求 請求項の数1(全10頁)

(21)出願番号

特願平3-320352

(22)出願日

平成3年(1991)12月4日

(71)出願人 000237592

富士通テン株式会社

兵庫県神戸市兵庫区御所通1丁目2番28号

(72)発明者 佐々木 三利

神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内

(72)発明者 佐々木 満

神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内

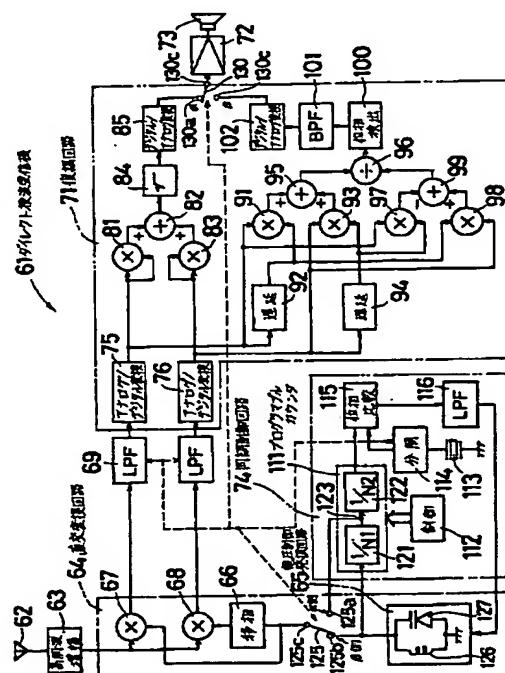
(74)代理人 弁理士 西教 圭一郎 (外1名)

(54)【発明の名称】 ダイレクト検波受信機

(57)【要約】

【目的】 複数の周波数帯域を受信することができるダイレクト検波受信機の部品点数を削減し、小形化を図る。

【構成】 フェイズロックループを構成して、電圧制御発振回路65の発振周波数を制御する同調制御回路74内のプロムブルカウンタ111を、複数の分周回路121、122で構成する。受信信号に混合する基準信号は、周波数変調放送受信時には前記電圧制御発振回路65の発振信号を用い、振幅変調放送受信時には前記電圧制御発振回路65の発振信号を分周回路121で分周した後、用いる。これによって、単一の電圧制御発振回路65で、振幅変調放送と周波数変調放送との受信を可能にし、部品点数の小形化を図り、構成を簡略化することができる。



【特許請求の範囲】

【請求項1】 相互に位相が90度異なる2つの第1基準信号を発生する第1基準信号発生手段と、受信信号と前記2つの第1基準信号とをそれぞれ混合する第1および第2混合手段と、前記第1および第2混合手段の出力から予め定める周波数帯域をそれぞれ通過させる第1および第2フィルタ手段と、前記第1および第2フィルタ手段の両出力を相互に演算処理して復調信号を得る復調手段とを備えるダイレクト検波受信機において、前記第1基準信号発生手段からの前記第1基準信号が入力され、複数段の分周器から成る分周手段と、予め定める周波数の第2基準信号を発生する第2基準信号発生手段と、前記分周手段の出力と第2基準信号との位相を比較し、両者の位相差に対応した出力を導出する比較手段と、比較手段の出力を直流電圧レベルに変換して前記第1基準信号発生手段に出力する第3フィルタ手段と、前記分周手段の複数段の分周器の接続点から得られる第1基準信号よりも周波数の低い第3基準信号と、前記第1基準信号とを選択的に前記第1および第2混合手段に与える選択手段とを含むことを特徴とするダイレクト検波受信機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ダイレクト検波方式の受信機に関し、さらに詳しくは、振幅変調放送の受信と周波数変調放送の受信とに共用することができる受信機に関する。

【0002】

【従来の技術】図4は、典型的な従来技術のダイレクト検波受信機1の電気的構成を示すブロック図である。この受信機1は、大略的に、アンテナ2と、高周波増幅回路3と、直交変換回路4と、ローパスフィルタ（以下、LPFと略称する）9、10と、復調回路11と、電力増幅器12と、スピーカ13と、同調制御回路14とを含んで構成される。

【0003】アンテナ2で受信された受信信号は、高周波増幅回路3を介して直交変換回路4に与えられる。直交変換回路4は、同調制御回路14からの出力電圧に対応した周波数で発振を行う2つの電圧制御発振回路5a、5bと、これらの電圧制御発振回路5aまたは5bからの基準信号を選択的に出力する切換スイッチ5cと、切換スイッチ5cで選択された基準信号と前記受信信号とを乗算する乗算器7と、前記基準信号の位相を90度ずらして導出する移相器6と、移相器6からの基準信号と前記受信信号とを乗算する乗算器8とを含んで構成される。

【0004】前記電圧制御発振回路5aは、インダクタ57aと、いわゆるバリキャップと称される可変容量ダイオード58aとを含んで構成されており、これらの回

路素子は振幅変調放送の周波数と等しい基準信号を発振するために最適な値に選ばれている。

【0005】同様に電圧制御発振回路5bは、インダクタ57bと、可変容量ダイオード58bとを含んで構成されており、これらの回路素子は周波数変調放送の周波数と等しい基準信号を発振するために最適な値に選ばれている。

【0006】乗算器7、8からの出力は、それぞれLPF9、10で復調すべき音声信号帯域が濾波された後、前記復調回路11に入力される。前記LPF9からの出力は、アナログ／デジタル変換器15を介して乗算器21に入力され、この乗算器21で2乗に乗算された後、加算器22に与えられる。またLPF10からの出力は、アナログ／デジタル変換器16を介して乗算器23に入力され、2乗に乗算された後、前記加算器22に与えられる。加算器22の出力は、演算回路24において平方根に演算され、こうして振幅変調放送をダイレクト検波して復調することができる。この復調出力は、デジタル／アナログ変換器25でアナログ音響信号に変換された後、前記電力増幅器12を介してスピーカ13に与えられる。

【0007】前記アナログ／デジタル変換器15からの出力はまた、乗算器31に直接与えられるとともに、遅延回路32において予め定める時間だけ遅延されて前記乗算器31に与えられる。同様に、前記アナログ／デジタル変換器16からの出力は、直接、乗算器33に与えられると共に、遅延回路34を介して前記乗算器33に与えられる。これらの乗算器31、33からの出力は、加算器35で相互に加算された後、除算器36に与えられる。

【0008】前記アナログ／デジタル変換器15からの出力はまた、直接、乗算器37に与えられており、この乗算器37には前記アナログ／デジタル変換器16からの出力が遅延回路34によって遅延された後、与えられている。また遅延回路32を介するアナログ／デジタル変換器15からの出力は乗算器38に与えられており、この乗算器38にはまたアナログ／デジタル変換器16からの出力が直接、与えられる。乗算器38からの出力は、減算器39において、前記乗算器37からの出力が減算された後、前記除算器36に与えられる。

【0009】除算器36は、加算器35からの出力と、減算器39からの出力との除算を行い、その除算結果は位相検出回路40に与えられる。この位相検出回路40は、前記予め定める時間当りの加算器35の出力と減算器39の出力との位相のずれを演算し、その演算結果、すなわち位相変化分を表す出力はバンドパスフィルタ

（略称BPF）41に与えられ、このようにして検波された音声信号は、デジタル／アナログ変換器42でアナログ音響信号に変換された後、前記電力増幅器12を介してスピーカ13に出力される。このようにして、周波

数変調波をダイレクト検波することができる。

【0010】前記同調制御回路14は、従来から用いられている電子同調式チューナのフェイズロックループ回路と同様に構成され、電圧制御発振回路5a、5bの発振信号を分周するプログラマブルカウンタ51と、このプログラマブルカウンタ51の分周比を制御する制御回路52と、基準となる周波数で発振を行う水晶発振子53と、水晶発振子53の発振信号を分周する分周回路54と、前記プログラマブルカウンタ51からの出力と、分周回路54からの出力との位相を比較する位相比較回路55と、位相比較回路55の比較結果に対応する直流電圧レベルの出力を前記電圧制御発振回路5a、5bに与えるLPF56とを含んで構成される。

【0011】前記分周回路54は、該分周回路54による水晶発振子53の発振信号の分周出力が、振幅変調放送受信時には9kHzとなるように、また周波数変調放送受信時には12.5kHzとなるように、その分周比が変化される。すなわち分周回路54からの出力は、振幅変調放送受信時には各放送局に割当てられている周波数の最小間隔、すなわちいわゆるチャネルスパンと等しく、また周波数変調放送受信時には前記チャネルスパンである0.1MHzの1/8となる。

【0012】

【発明が解決しようとする課題】上述の従来技術では、ラジオ受信機1の受信周波数帯域毎に専用の電圧制御発振回路5a、5bが必要であり、したがって小形化および少部品化の障害となっている。

【0013】本発明の目的は、部品点数を削減して小形化を図ることができるダイレクト検波受信機を提供することである。

【0014】

【課題を解決するための手段】本発明は、相互に位相が90度異なる2つの第1基準信号を発生する第1基準信号発生手段と、受信信号と前記2つの第1基準信号とをそれぞれ混合する第1および第2混合手段と、前記第1および第2混合手段の出力から予め定める周波数帯域をそれぞれ通過させる第1および第2フィルタ手段と、前記第1および第2フィルタ手段の両出力を相互に演算処理して復調信号を得る復調手段とを備えるダイレクト検波受信機において、前記第1基準信号発生手段からの前記第1基準信号が入力され、複数段の分周器から成る分周手段と、予め定める周波数の第2基準信号を発生する第2基準信号発生手段と、前記分周手段の出力と第2基準信号との位相を比較し、両者の位相差に対応した出力を導出する比較手段と、比較手段の出力を直流電圧レベルに変換して前記第1基準信号発生手段に出力する第3フィルタ手段と、前記分周手段の複数段の分周器の接続点から得られる第1基準信号よりも周波数の低い第3基準信号と、前記第1基準信号とを選択的に前記第1および第2混合手段に与える選択手段とを含むことを特徴と

するダイレクト検波受信機である。

【0015】

【作用】本発明に従えば、アンテナからの受信信号は、第1および第2混合手段において、第1基準信号発生手段からの相互に位相が90度異なる第1基準信号とそれぞれ混合される。前記第1および第2混合手段の出力は、それぞれ第1および第2フィルタ手段において復調すべき周波数帯域の成分が濾波された後、復調手段に入力される。復調手段は、第1および第2フィルタ手段からの両出力を、たとえば2乗平均を求めることによって相互に演算処理して、こうして得られた復調信号を出力する。このようにしてダイレクト検波方式によって、たとえば振幅変調波の復調が行われる。

【0016】前記第1基準信号発生手段からの第1基準信号は、分周手段に入力され、予め定める分周比で分周された後、比較手段へ出力される。比較手段は、第2基準信号発生手段からの予め定める周波数の第2基準信号と、前記分周手段からの出力とを比較し、両者の位相差に対応した出力を導出する。比較手段の出力は、ローパスフィルタなどで実現される第3フィルタ手段によって直流電圧レベルに変換された後、前記第1基準信号発生手段へ出力される。第1基準信号発生手段は、前記第3フィルタ手段からの出力の電圧レベルに対応した周波数で発振を行う。したがって分周手段の分周比を変化することによって、第1基準信号発生手段は所望とする局部発振周波数の第1基準信号を発生することができ、所望とする受信周波数を設定することができる。こうしていわゆるフェイズロックループ周波数シンセサイザ方式で受信を行うことができる。

【0017】また、前記分周手段は複数段の分周器から構成されており、これに対応して前記第1基準信号発生手段と、第1および第2混合手段との間には選択手段が介在されている。この選択手段は、前記第1基準信号発生手段からの第1基準信号と、前記分周手段の複数段の分周器の接続点から導出され、前記第1基準信号よりも周波数の低い第3基準信号とを、選択的に前記第1および第2混合手段に与える。したがって、混合手段に第1基準信号が入力されているときには、比較的周波数の高い、たとえば周波数変調放送の受信を行うことができ、また第3基準信号が混合手段に与えられているときには、比較的周波数の低い、たとえば振幅変調放送を受信することができる。このようにして、複数の周波数帯域の受信に共通の第1基準信号発生手段を用いることができ、部品点数を削減して小形化を図ることができる。

【0018】

【実施例】図1は、本発明の一実施例のダイレクト検波受信機61の電気的構成を示すブロック図である。この受信機61は、大略的に、アンテナ62と、高周波増幅回路63と、直交変換回路64と、LPF69、70と、復調回路71と、電力増幅器72と、スピーカ73

と、同調制御回路74とを含んで構成される。

【0019】アンテナ62で受信された受信信号は、高周波増幅器回路63を介して直交変換回路64に与えられる。直交変換回路64は、同調制御回路74からの出力電圧に対応した周波数で発振を行う電圧制御発振回路65と、この電圧制御発振回路65からの基準信号を選択的に出力する切換スイッチ125と、切換スイッチ125で選択された基準信号と前記受信信号とを乗算する乗算器67と前記基準信号の位相を90度ずらして導出する移相器66と、移相器66からの基準信号と前記受信信号とを乗算する乗算器68とを含んで構成される。

【0020】乗算器67、68からの出力は、それぞれLPF69、70で復調すべき音声信号帯域が濾波された後、前記復調回路71に入力される。前記LPF69、70はそれぞれ通過帯域を選択可能に構成されており、操作者が振幅変調放送の受信を選択操作した場合には各LPF69、70のカットオフ周波数 f_c は10kHzに選択され、周波数変調放送の受信の場合にはカットオフ周波数 f_c は150kHzに選択される。なお、LPF69、70はカットオフ周波数の異なるフィルタを有し、その出力を選択するものであってもよい。

【0021】前記LPF69からの出力は、アナログ／デジタル変換器75を介して乗算器81に入力され、この乗算器81で2乗に乗算された後、加算器82に与えられる。またLPF70からの出力は、アナログ／デジタル変換器76を介して乗算器83に入力され、2乗に乗算された後、前記加算器82に与えられる。加算器82の出力は、演算回路84において平方根に演算され、こうして振幅変調放送をダイレクト検波して復調することができる。この復調出力は、デジタル／アナログ変換器85でアナログ音響信号に変換された後、切換スイッチ130の個別接点130aに与えられる。

【0022】前記アナログ／デジタル変換器75からの出力はまた、乗算器91に直接与えられるとともに、遅延回路92において予め定める時間だけ遅延されて前記乗算器91に与えられる。同様に、前記アナログ／デジタル変換器76からの出力は、直接、乗算器93に与えられると共に、遅延回路94を介して前記乗算器93に与えられる。これらの乗算器91、93からの出力は、加算器95で相互に加算された後、除算器96に与えられる。

【0023】前記アナログ／デジタル変換器75からの出力はまた、直接、乗算器97に与えられており、この乗算器97には前記アナログ／デジタル変換器76からの出力が遅延回路94によって遅延された後、与えられている。また遅延回路92を介するアナログ／デジタル変換器75からの出力は乗算器98に与えられており、この乗算器98にはまたアナログ／デジタル変換器76からの出力が直接、与えられる。乗算器98からの出力は、減算器99において、前記乗算器97からの出力が

減算された後、前記除算器96に与えられる。

【0024】除算器96は、加算器95からの出力と、減算器99からの出力との除算を行い、その除算結果は位相検出回路100に与えられる。この位相検出回路100は、前記予め定める時間当りの加算器95の出力と減算器99の出力との位相のずれを演算し、その演算結果、すなわち位相変化分を表す出力はBPF101に与えられ、このようにして検波された音声信号は、デジタル／アナログ変換器102でアナログ音響信号に変換された後、切換スイッチ130の個別接点130bに与えられる。このようにして、復調回路71によって周波数変調波をダイレクト検波することができる。

【0025】そして、操作者の選択操作に応じて、振幅変調放送を受信する場合には切換スイッチ130は個別接点130aに接続され、振幅変調放送の復調出力が前記電力増幅器72を介してスピーカ73に出力される。また周波数変調放送を受信する場合には、切換スピーカ130は個別接点130bに接続され、周波数変調放送の復調出力が電力増幅器72を介してスピーカ73に出力される。

【0026】前記同調制御回路74は、電圧制御発振回路65の発振信号を分周するプログラマブルカウンタ111と、このプログラマブルカウンタ111の分周比を制御する制御回路112と、基準となる周波数で発振を行う水晶発振子113と、水晶発振子113の発振信号を分周する分周回路114と、前記プログラマブルカウンタ111からの出力と分周回路114からの出力との位相を比較する位相比較回路115と、位相比較回路115の比較結果に対応する直流電圧レベルの出力を前記電圧制御発振回路65に与えるLPF116とを含んで構成される。

【0027】前記分周回路114は、該分周回路114による水晶発振子113の発振信号の分周出力が、操作者の選択操作に応じて可変されるよう構成されており、振幅変調放送受信時には9kHzとなるように、また周波数変調放送受信時には12.5kHzとなるように、その分周比が切換えられる。すなわち第2基準信号である分周回路114からの出力は、振幅変調放送受信時には各放送局に割当てられている周波数の最小間隔、すなわちいわゆるチャンネルスパンと等しく、また周波数変調放送受信時には前記チャンネルスパンである0.1MHzの1/8となる。

【0028】分周手段であるプログラマブルカウンタ111は、2段の分周回路121、122が縦続接続されて構成されている。分周回路121は、前記電圧制御発振回路65の発振信号を、後述するようにして求められる予め定める分周比N1で分周して出力する。分周回路121の出力は、分周回路122でさらに予め定める分周比N2で分周された後、前記位相比較回路115に入力される。前記分周比N1、N2は、振幅変調放送帯域

と周波数変調放送帯域とのいずれの周波数帯域の受信を行っているか、および受信すべき周波数に対応して、制御回路112によって設定される。

【0029】前記分周回路121からの出力はまた、接続点123から第3基準信号として切換スイッチ125の一方の個別接点125aに与えられる。この切換スイッチ125の他方の個別接点125bには、前記電圧制御発振回路65からの発振信号が第1基準信号として与えられている。また、切換スイッチ125の共通接点125cからは、乗算器67および移相器66に基準信号が与えられる。

【0030】前記電圧制御発振回路65は、インダクタ126と、いわゆるバリキャップと称される可変容量ダイオード127とを含んで構成されており、これらの回路素子はその共振周波数が周波数変調放送の周波数および周波数変化幅に最適となる値に選ばれている。

【0031】一方、前記分周回路121、122の各分周比 N_1 、 N_2 は以下のようにして決定される。すなわちまず周波数の高い周波数変調放送の受信時には、前記分周比 N_1 は1の固定値とされ、分周比 N_2 は、受信周波数帯域の下限值であるたとえば76MHzに対応した6080から上限値である90MHzに対応した7200までの間で、8の整数倍に選ばれている。すなわちこれは、76MHzの第1基準信号を6080分周すると12.5kHzとなり、前記分周回路54からの第2基準信号との位相比較が可能となる。また、90MHzの第1基準信号を7200分周すると12.5kHzとなり、こうして周波数変調放送の全周波数帯域に亘っての分周が可能となる。

【0032】また、周波数の低い振幅変調放送の受信時

$$f_e(n) = \text{整数化} \left(\frac{f_s(n) \cdot K_{fm}}{f_c} \right) \cdot f_c$$

【0036】したがって、たとえば $f_s(1)$ は531kHzであり、このときの $f_e(1)$ は621kHzとなる。このため次の分割周波数帯域の下限周波数 $f_s(2)$ は、

【0037】

$$f_s(n+1) = f_e(n) + f_c$$

から、630kHzとなる。また各分割周波数帯域における分周比 $N_1(n)$ は、周波数変調放送の周波数帯域の上限値を f_{maxfm} とすると、数3から求めることができる。

【0038】

【数3】

において、受信周波数の高い方の周波数帯域の周波数変化幅が、低い方の周波数帯域の変化幅よりも大きいときには、前記分周比 N_1 は周波数の高い受信周波数帯域の中心周波数と、周波数の低い受信周波数帯域の中心周波数との比に対応した固定値に選び、分周比 N_2 を変化させるだけで所望とする基準信号および分周出力を得ることができる。これに対して、受信周波数の高い方の周波数帯域の周波数変化幅が低い方の周波数帯域の変化幅よりも小さいとき、すなわち本実施例の場合には、2つの分周比 N_1 、 N_2 を相互に変化させる必要がある。

【0033】すなわち、周波数変調放送の周波数帯域の上限値はたとえば前述のように90MHzであり、下限値は76MHzであり、したがって両者の比 K_{fm} は約1.184となる。しかしながら振幅変調放送の場合には、周波数帯域の上限値はたとえば1611kHzであり、下限値は531kHzである。したがって両者の比 K_{am} は約3.03となる。このため、電圧制御発振回路65の周波数変化幅を周波数変調放送の受信に最適のように上述の1.184倍程度に設定した場合、振幅変調放送の周波数変化に追従することができないので、2つの分周比 N_1 、 N_2 を相互に変化させて対応する。

【0034】ここで振幅変調放送のチャネルセパレーション、すなわち前述の9kHzを f_c とすると、電圧制御発振回路65の発振周波数の変化幅を表す前記比 K_{fm} から、振幅変調放送の周波数帯域を複数に分割した各分割周波数帯域の下限周波数を $f_s(n)$ とし、上限周波数を $f_e(n)$ とすると、下式のように選ばれる。ただし n は自然数である。

【0035】

【数1】

$$N_1(n) = \text{整数化} \left(\frac{f_{maxfm}}{f_e(n)} \right)$$

【0039】上述の数1～数3によって求められる各分割周波数帯域の下限周波数 $f_s(n)$ と上限周波数 $f_e(n)$ との関係は、図2で示される。

【0040】また上述のようにして求められた前記各周波数 $f_s(n) \sim f_e(n)$ ならびに分周比 $N_1(n)$ 、 $N_2(n)$ および電圧制御発振回路65の発振周波数の関係を表1に示す。

【0041】

【表1】

分 周 比 N1(n)	分割周波数帯域 (kHz) fs(n)~fe(n)	分 周 比 N2(n)	電圧制御発振回路の 発振周波数 (MHz)
144	531~ 621	59~ 69	76.5~89.4
121	630~ 738	70~ 82	76.2~89.3
102	747~ 882	83~ 98	76.2~90.0
85	891~1053	99~117	75.7~89.5
71	1062~1251	118~139	75.4~88.8
60	1260~1485	140~165	75.6~89.1
55	1494~1611	166~179	82.2~88.6

【0042】なお、上述のような計算が煩雑であるときには、振幅変調放送の分割周波数帯域幅をたとえば90kHz、すなわち分周比N2(n)の変化幅を10の一定値として、前記各分周比N(n)などを決定するよう

にしてもよい。これによって求められた各周波数を表2に示す。

【0043】

【表2】

分 周 比 N1(n)	分割周波数帯域 (kHz) fs(n)~fe(n)	分 周 比 N2(n)	電圧制御発振回路の 発振周波数 (MHz)
144	531~ 621	59~ 69	76.5~89.4
125	630~ 720	70~ 80	78.8~90.0
109	729~ 819	81~ 91	79.5~89.3
⋮	⋮	⋮	⋮
55	1521~1611	169~179	83.7~88.6

【0044】以上のように本発明に従うダイレクト検波受信機61では、複数段の分周回路121、122を縦続接続してプロンプルカウンタ111を構成し、前記分周回路121、122の接続点123から振幅変調放送受信のための基準信号を導出するので、周波数変調放送の受信に最適なインダクタ126および可変容量ダイオード127を備える電圧制御発振回路65のみで、振幅変調放送と周波数変調放送とを受信することができ、部品点数を削減して小形化を図ることができる。

【0045】図3は、本発明の他の実施例のダイレクト検波受信機161の電気的構成を示すブロック図であり、この受信機161は図1の受信機61においてアナログ的な切換スイッチ125、130を必要としない構成としたものである。参照符140は、制御回路112によって分周比が可変されるプログラブルカウンタである。このカウンタ140は、振幅変調放送の受信時には分周回路121に設定されるのと同じ分周比N1が設定され、電圧制御発振回路65からの発振信号を1/N1分周した信号を乗算器67および移相器66に与える。また、周波数変調放送の受信時には分周比1が設定され、電圧制御発振回路65からの発振信号をそのまま分周せずに乗算器67および移相器66に与える。

【0046】また参照符150は、演算回路84からの振幅変調放送のデジタル復調出力およびBPF101からの周波数変調放送のデジタル復調出力を、いずれの放送の受信が選択操作されているかに応じて選択的にアナログ信号に変換するデジタル/アナログ変換器であり、該デジタル/アナログ変換器150で変換されたアナログ音響信号は電力増幅器72を介してスピーカ73に出力される。

【0047】さらにまた170、171は、デジタルローパスフィルタであり、係数を可変することによって通常帯域が切換わる。このLPF170、171は、振幅変調放送受信時にはカットオフ周波数fcが10kHzに選択されるようその係数が設定され、また周波数変調放送受信時にはカットオフ周波数fcが150kHzに選択されるようにその係数が設定される。また、LPF69a、70aのカットオフ周波数fcは、復調回路71内のデジタル演算のサンプリング周波数fs(fs≧300kHz)に応じて、その1/2以下に設定される。

【0048】なお、図1の構成と同一の符号を付した他の部分は同一の構成を有するため、ここでの説明は省略する。

【0049】本実施例によれば、振幅変調放送時に周波数変調受信時とで、係数の切換えおよび出力の切換えを全てデジタル的に処理できるため、図1の受信機61におけるアナログ的な切換えスイッチ125、130を削除でき、信頼性の向上を図ることができる。

【0050】

【発明の効果】以上のように本発明によれば、フェイズロックループを構成する分周手段を複数段の分周器によって構成し、ダイレクト検波方式によって受信を行うために第1および第2混合手段に与える基準信号を、基準信号発生手段からの第1基準信号と、該第1基準信号を前記分周手段を構成する分周器のうちの前段の分周器で分周して得られる第3基準信号とに選択するので、前記第1基準信号によって比較的周波数の高い、たとえば周波数変調放送の受信を行うことができ、また前記第3基準信号によって比較的周波数の低い、たとえば振幅変調放送の受信を行うことができる。

【0051】したがって、異なる周波数帯域の受信に第1基準信号発生手段を共通に用いることができ、部品点数を削減し、小形化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例のダイレクト検波受信機61の電氣的構成を示すブロック図である。

【図2】振幅変調放送の周波数帯域の分割方法を説明するための図である。

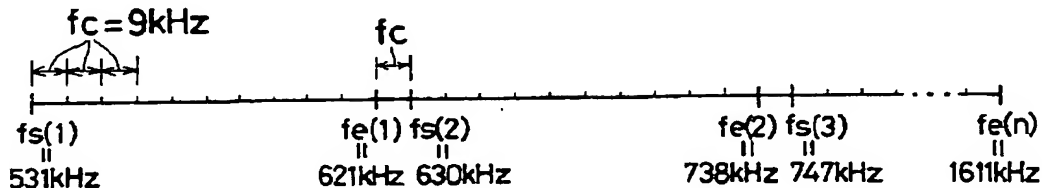
【図3】本発明の他の実施例のダイレクト検波受信機161の電氣的構成を示すブロック図である。

【図4】典型的な従来技術のダイレクト検波受信機1の電氣的構成を示すブロック図である。

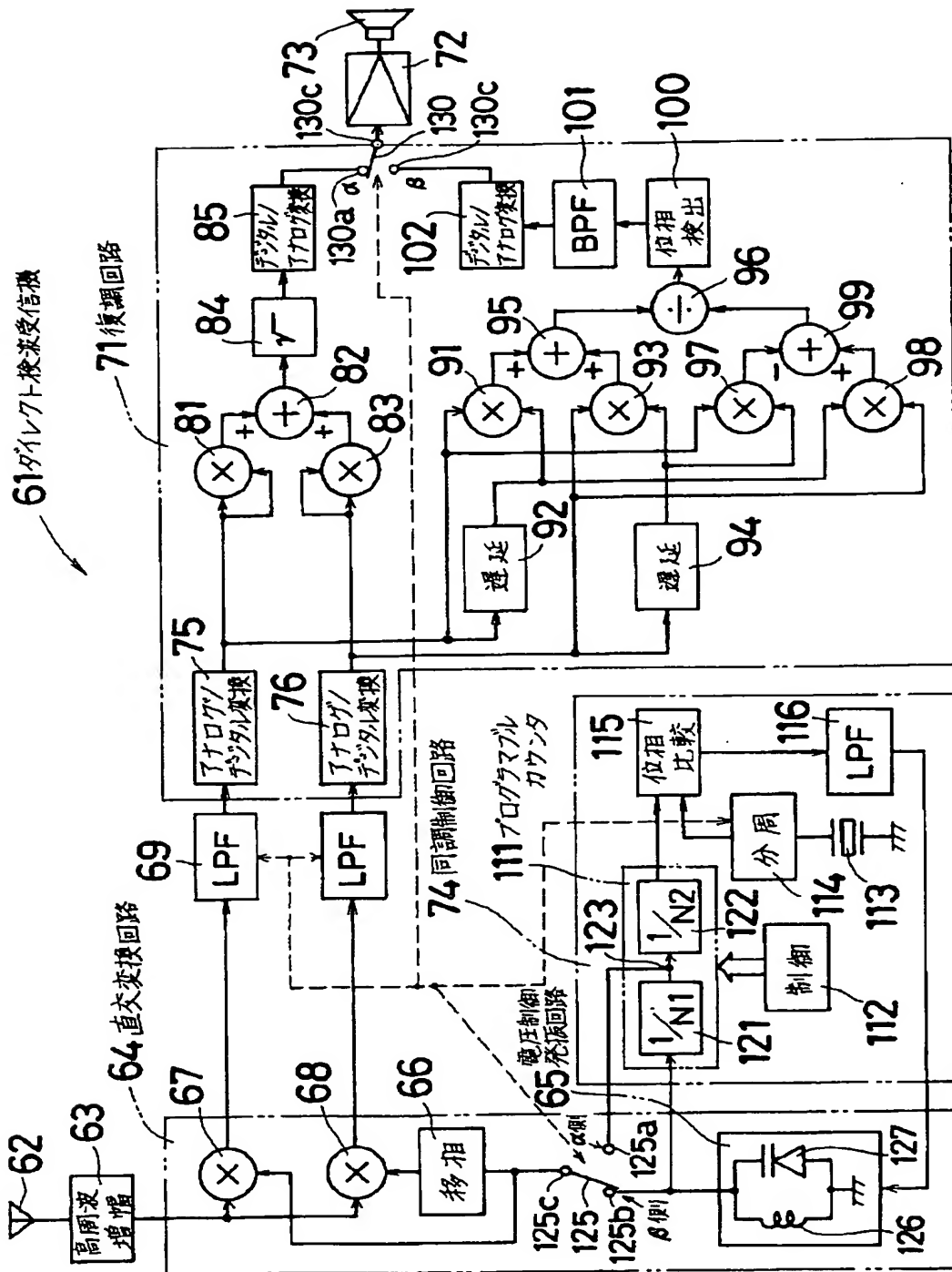
【符号の説明】

- 61、161 ダイレクト検波受信機
- 62 アンテナ
- 63 高周波増幅回路
- 64 直交変換回路
- 65 電圧制御発振回路
- 67、68 乗算器
- 69、70、116 LPF
- 71 復調回路
- 73 スピーカ
- 74 同調制御回路
- 111 プログラマブルカウンタ
- 112 制御回路
- 113 水晶発振子
- 114、121、122 分周回路
- 115 位相比較回路
- 125 切換えスイッチ

【図2】



【図1】



【図3】

